

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**CONSTITUTION:** An a-Si film 1-2 is stacked on an amorphous insulating substrate 1-1, and then reaction gas is exhausted and the inside of the chamber is vacuumized. Subsequently, a substrate holder 2-3 is heated gradually so as to subject an a-Si: H film 1-2 to solid growth. Subsequently, the inside of the chamber is vacuumized again, and oxygen gas is introduced, whereby oxygen plasma is generated to form a thin oxide film 1-4 at the surface of a solid growth Si film 1-3. Next, the oxide film 1-4 is patterned, and the solid growth Si film is etched into an island shape, and an oxide film 1-5 is deposited. Subsequently, after formation of a gate electrode 1-6, impurities are implanted to form a source region 1-7 and a drain region 1-8. Subsequently, after stacking of a layer insulating film 1-10, a source electrode 1-11 and a drain electrode 1-12 are formed. Hereby, the interface order density of the interface decreases, and a highly reliable element can be obtained.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008917860      **\*\*Image available\*\***

WPI Acc No: 1992-045129/199206

XRAM Acc No: C92-020053

XRPX Acc No: N92-034229

Mfr. of film semiconductor device - by annealing amorphous silicon  
hydroxide deposit on wafer, and oxidising obtd. film surface to form gate  
insulator NoAbstract Dwg 1/3

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 3289140</b>	A	19911219	JP 9090708	A	19900405	199206 B

Priority Applications (No Type Date): JP 9090708 A 19900405

Title Terms: MANUFACTURE; FILM; SEMICONDUCTOR; DEVICE; ANNEAL;  
AMORPHOUS; SILICON; HYDROXIDE; DEPOSIT; WAFER; OXIDATION; OBTAIN;  
FILM; SURFACE; FORM; GATE; INSULATE; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-289140

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月19日

H 01 L 21/336  
21/20  
21/84  
29/784

7739-4M  
7739-4M

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 平2-90708

⑰ 出 願 平2(1990)4月5日

⑱ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁基板上に非晶質半導体薄膜を成膜し、該非晶質半導体薄膜を大気中に取り出すことなく連続して熱処理することにより固相成長させ、さらに大気中に取り出すことなく連続でゲート酸化膜を形成する工程を少なくとも含むことを特徴とする薄膜半導体装置の製造方法。

(2) 特許請求の範囲第1項記載の薄膜半導体装置の製造方法において、プラズマCVD装置のチェンバー内に絶縁基板を設置しモノシラン( $\text{SiH}_4$ )あるいはジシラン( $\text{Si}_2\text{H}_6$ )あるいはトリシラン( $\text{Si}_3\text{H}_8$ )を少なくとも含む混合ガスを導入し、グロー放電分解により $\alpha\text{-Si:H}$ (水素化非晶質シリコン)膜を堆積する工程と、その後前記混合ガスを排気した後前記チェンバー内を大気圧に戻すことなく真空のまま、もしくは窒素ガスあるいはヘリウムガスあるいはアルゴンガ

ス等の不活性ガスに置換し、800℃～700℃に徐々に昇温して前記 $\alpha\text{-Si:H}$ 膜を固相成長させて固相成長 $\text{Si}$ 膜を形成させる工程と、続いて前記不活性ガスを排気した後、前記チェンバー内に酸素ガスを導入しグロー放電することにより前記固相成長 $\text{Si}$ 膜表面を酸化させてゲート酸化膜を形成する工程を、上記の順序で連続して行なう工程を少なくとも含むことを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜半導体装置の製造方法に関わり、特に、大粒径 $\text{Si}$ 膜の形成方法、及び絶縁ゲート型電界効果トランジスタあるいはTFT(Thin Film Transistor)のゲート絶縁膜の形成方法に関する。

〔従来の技術〕

非晶質絶縁基板あるいは非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方

法は、SOI (Silicon On Insulator) 技術として知られている。【参考文献 SOI 造形成技術、産業図書】。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法は、レーザーアニールあるいは電子ビームアニールによりシリコンを溶融再結晶化させる方法と、溶融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化できるという点で固相成長法が優れている。550℃での低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。【参考文献 IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987】。さらに近年、SOIあるいは、三次元ICや、大型液晶表示パネルや、高速で高解像度の密着型イメージセンサ等へのニーズが高まるにつれて、低温で良質のゲート絶縁膜を形成する技術が重要となってきた。熱酸化法は、

ってしまい、TFTを作成した場合には、ON電流が少なく、サブシュレシールド領域の立ち上がりが鈍い。

本発明は、この様な問題点を解決し、結晶粒径の大きなシリコン膜を簡単な固相成長法によって形成し、さらに界面単位密度の小さな酸化膜界面を作成して非常に優れた特性を有するTFTを実現することを目的としている。

【課題を解決するための手段】

本発明の薄膜半導体装置の製造方法は、(1)

絶縁基板上に非晶質半導体薄膜を成膜し、該非晶質半導体薄膜を大気中に取り出すことなく連続して熱処理することにより固相成長させ、さらに大気中に取り出すことなく連続でゲート酸化膜を形成する工程を少なくとも含むことを特徴とする。  
(2) 特許請求の範囲第1項記載の薄膜半導体装置の製造方法において、プラズマCVD装置のチェンバー内に基板を設置しモノシラン( $\text{SiH}_4$ )あるいはジシラン( $\text{Si}_2\text{H}_6$ )あるいはトリシラン( $\text{Si}_3\text{H}_8$ )を少なくとも含む混合ガスを導

900~1200℃程度の高温プロセスであるため、(1)安価なガラス基板上に素子を形成できない、(2)不純物の横拡散、(3)三次元ICでは下層部の素子に影響(不純物の拡散など)を与える(4)poly-Siの熱酸化膜は絶縁耐圧が不十分で界面単位密度が大きい等の問題がある。現在、CVD法や、光CVD法や、プラズマCVD法などでゲート酸化膜を形成する技術が検討されている。

【発明が解決しようとする課題】

しかしながら、従来の固相成長法では、非晶質シリコン膜を増殖させた後、一旦大気中に取り出してから固相成長工程にはいていた。従って非晶質シリコン膜表面には結晶成長の妨げとなる酸素やその他の不純物が吸着しており十分に結晶成長していなかった。

また、従来のゲート酸化膜形成方法では、やはりシリコン膜表面が一旦大気にさらされるので、従来のプロセスで形成された界面にはコンタミネーションが付着し、界面単位密度の大きな界面とな

入し、グロー放電分解によりa-Si:H(水素化非晶質シリコン)膜を増殖する工程と、その後前記混合ガスを排気した後、前記チェンバー内を大気圧に戻すことなく真空のまま、もしくは窒素ガスあるいはヘリウムガスあるいはアルゴンガス等の不活性ガスに置換し、800℃~700℃に徐々に昇温して前記a-Si:H膜を固相成長させて固相成長Si膜を形成させる工程と、続いて前記不活性ガスを排気した後、前記チェンバー内に酸素ガスを導入しグロー放電することにより前記固相成長Si膜表面を酸化させてゲート酸化膜を形成する工程を、上記の順序で連続して行なう工程を少なくとも含むことを特徴とする。

【実施例】

第1図(a)に於て、1-1は非晶質絶縁基板である。石英基板あるいはガラス基板などが用いられる。SiO<sub>2</sub>で覆われたSi基板を用いることもある。石英基板あるいはSiO<sub>2</sub>で覆われたSi基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用い

る場合は酸化温度が低いために約600℃以下低温プロセスに制限される。また、ガラス基板は酸化膜あるいは窒化膜でコーティングして基板からの不純物のしみだしを防止して用いられることもある。はじめに非晶質絶縁基板1-1上にa-Si膜1-2を堆積させる。該a-Si膜1-2は一般で、微小な結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。堆積方法としてはEB(Electron Beam)蒸着法やスパッタ法やCVD法や光CVD法やプラズマCVD法がある。プラズマCVD法は、光起電力素子や、フォトダイオードや、感光ドラムなどを作製する場合によく用いられる方法である。a-Si:H膜を堆積させるには、シランガス( $\text{SiH}_4$ )をヘリウムガス( $\text{He}$ )あるいは水素ガス( $\text{H}_2$ )で通した温度に希釈し、高周波電圧を印加して、分解堆積させる。プラズマCVD法の場合は、基板温度が500℃以下でも成膜できる。前記シランガスの代わりにジシランガスあるいはトリシランガスを用いると、さらに低い基板温度

でも成膜することが可能となる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。第2図にプラズマCVD装置のチェンバーの断面模式図を示す。2-1はチェンバー、2-2は高周波電源、2-3は基板ホルダー、2-4は基板を示している。

a-Si:H膜の成膜が終わったら、成膜にもちいたシランなどの反応ガスを排気し、チェンバー内を真空に引く。このときの到達真空度は少なくとも $1 \times 10^{-4}$  Torr以下であることが望ましい。

つづいて、チェンバー内の基板ホルダー2-3を徐々に加熱して、前記a-Si:H膜1-2を固相成長させる。このときの加熱温度は600℃または700℃を上限とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。第1図(b)において1-3は固相成長Si膜を示している。ま

た第2図の2-1で示した前記チェンバー内は酸素ガスやヘリウムガスやアルゴンガス等の不活性ガス雰囲気でもよい。a-Si:H膜からの水素放出が急激にならないように昇温速度 $\nu_{\text{昇}}$ はなるべく小さくするのが望ましい。固相成長終了後、降温速度 $\nu_{\text{降}}$ は $\nu_{\text{昇}}$ よりも小さいほうがよい。第3図(a)に固相成長アニール昇温カーブを示す。縦軸はアニール温度、横軸は時間を示している。水素の放出を徐々にこなうために450℃程度の温度でしばらくの時間保持してアニールしてもよい。その昇温カーブを第3図(b)に示す。

続いて、固相成長Si膜を大気にさらすことなく連続して酸化膜を形成する。前工程で固相成長が終わったらチェンバー内を再び真空にひく。真空度が約 $1 \times 10^{-4}$  Torr以下程度になったところでチェンバー内に酸素ガスを導入する。そして高周波電力を印加して酸素プラズマを発生させ、前記固相成長Si膜1-3の表面をプラズマ酸化させ、得い酸化膜1-4を形成する。前記チェンバー内圧は0.1~1 Torr程度の酸素雰囲気

とし、基板温度は室温から500℃程度とする。200℃程度でも充分である。高周波電力は100W~1000Wの範囲で印加する。酸化膜1-4はプラズマ酸化法ばかりではなく、 $\text{N}_2\text{O}$ ガスとシランガスの混合ガスをグロー放電分解させるプラズマCVD法で堆積させて作成してもよい。酸化膜1-4形成後、約500℃以下のアニールにより前記酸化膜1-4を緻密化させてもよい。

次に前記酸化膜1-4をフォトリソグラフィ法によりパターンニングし、続いて固相成長Si膜をエッチングして第1図(d)に示すように島状にする。成膜後、この工程で初めて基板が大気に取り出される。

次に第1図(e)に示されるように、第2層の酸化膜1-5を堆積させる。堆積方法としては、LPCVD法、あるいは光助起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法等の方法がある。

続いて第1図(f)に示されるように、ゲート電極1-6を形成する。該ゲート電極材料として

は多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOや $\text{SnO}_2$ などのような透明性導電膜などを用いることができる。成膜方法としては、プラズマCVD法、CVD法、スパッタ法、真空蒸着法、等の方法がある。プラズマCVD法によりリン、あるいはボロンをドーブした $\alpha\text{-Si}$ :H膜を堆積して固相成長させた $\text{Si}$ 膜をゲート電極として用いるとゲート配線抵抗を低減することが出来る。

続いて第1図(e)に示すように、前記ゲート電極1-6をマスクとして不純物をイオン注入し、自己整合的にソース領域1-7およびドレイン領域1-8を形成する。前記不純物としては、 $\text{Nc}$ トランジスタを作製する場合は $\text{P}^+$ あるいは $\text{As}^+$ を用い、 $\text{Pch}$ トランジスタを作製する場合は $\text{B}^+$ 等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマードーピング法などの方法がある。1-9で示される矢印は不純物のイオンビームを表し

ってもよい。

次に第1図(i)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極1-11およびドレイン電極1-12とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

#### 【発明の効果】

従来の固相成長法では、例えば $\alpha\text{-Si}$ 膜を堆積した後固相成長アニールするためにチェンバーから大気に取り出してからアニール炉に再び設置していた。このように前記 $\alpha\text{-Si}$ 膜は大気にさらされてから固相成長するという工程であった。従って $\alpha\text{-Si}$ 膜表面は酸素をはじめ結晶成長を妨げるような不純物によって汚染されており、 $\text{Si}$ 膜の結晶粒径を大きくさせたり結晶性を改善させるために数十から数百時間という長いアニール時間が必要であった。

さらに、従来の固相成長法を用いた薄膜トラン

ジスタの製造方法では、ゲート酸化膜を形成するために、 $\alpha\text{-Si}$ :H膜を固相成長させた後チェンバーから取り出していたので、固相成長 $\text{Si}$ 膜の表面が一旦大気にさらされていた。従って、表面には様々なコンタミネーションが付着して汚染されていた。この様にして形成されたゲート酸化膜界面は界面単位密度が大きくトランジスタ特性を劣化させる原因となっていた。さらに、素子の信頼性や特性の安定性を低下させる原因ともなっていた。

続いて第1図(h)に示されるように、層間絶縁膜1-10を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数 $\mu\text{m}$ 程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス( $\text{NH}_3$ )とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート酸化膜界面などに存在するダングリングボンドなどの欠陥が不活性化される。この様な水素化工程は、層間絶縁膜1-10を積層する前におこな

う。本発明によれば、 $\alpha\text{-Si}$ :H膜の成膜と固相成長さらにゲート酸化膜界面を同一チェンバー内で連続して処理することが出来る。従って $\alpha\text{-Si}$ :H膜の固相成長に要する時間が短縮され数時間のアニールで結晶粒径の大きな優れた結晶性の固相成長 $\text{Si}$ 膜が得られる。さらに非常に清浄なゲート酸化膜界面が形成されるので界面の界面単位密度が低減し、信頼性の高い素子の実現が可能となる。

従来ゲート絶縁膜が通していなかったために、

固相成長された良好なSi膜を用いてTFTを作製しても充分な絶縁耐圧や、良好な特性が得られていなかったが、本発明により、非常に優れた固相成長TFTを実現することが可能となる。

数十～数百℃の基板温度で堆積可能なので、軟化温度の低いガラス基板を用いることもできる。

低温で熱酸化SiO<sub>2</sub>膜に近い特性を有するゲート絶縁膜を得ることができるので、SOI技術の発展に大きく寄与するものである。フォトリソグラフィ工程数はまったく増えない。800℃以下の低温のプロセスでも作製が可能なので、価格が安く耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのかかわらずコストアップとはならない。

本発明によって得られたゲート絶縁膜と大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。

ので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

この他、高精細液晶テレビあるいは駆動回路を同一基板上に集積したサーマルヘッドへの応用も可能となる。

石英基板やガラス基板だけではなく、サファイア基板(Al<sub>2</sub>O<sub>3</sub>)あるいはMgO・Al<sub>2</sub>O<sub>3</sub>、BP、CaF<sub>2</sub>等の結晶性絶縁基板も用いることができる。

以上実施例では薄膜トランジスタを例として説明したが、通常のMOSトランジスタやバイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を適用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を適用することができる。

NチャネルとPチャネルとの特性の不釣り合いさも改される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、800℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができる

なお実施例では、非晶質半導体薄膜の形成方法としてプラズマCVD装置を用いた場合について説明したが、EB蒸着法やスパッタ法や減圧CVD法等他の方法を用いることもできる。また、固相成長やゲート酸化を同一チェンバー内で行うとして説明したが、基板を大気に取り出さなければ別のチェンバーを用いても問題はない。

#### 4. 図面の簡単な説明

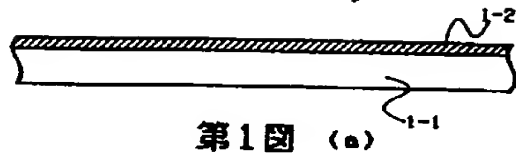
第1図(a)から(i)は、本発明の実施例を示す工程断面図である。

第2図は、プラズマCVD装置のチェンバー断面図である。

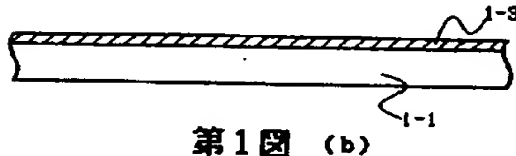
第3図(a)と(b)は、固相成長のアニール条件示す昇温カーブを示す図である。

- 1-2 ; a-Si: H膜
- 1-3 ; 固相成長Si膜
- 1-4 ; 薄いゲート界面
- 1-5 ; 第2層目の酸化膜

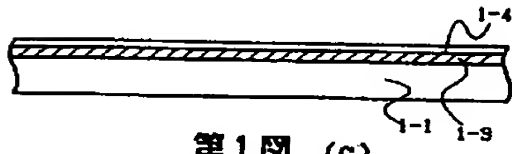




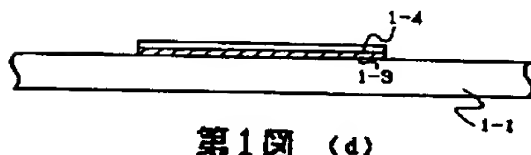
第1図 (a)



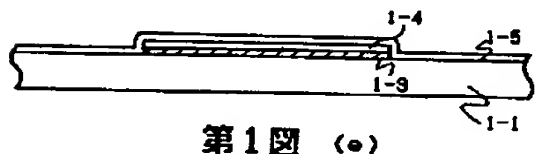
第1図 (b)



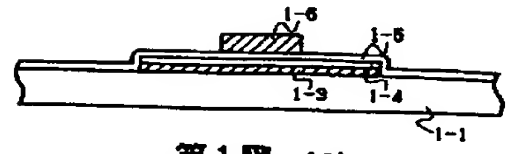
第1図 (c)



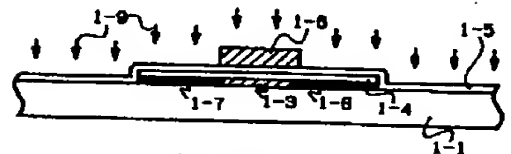
第1図 (d)



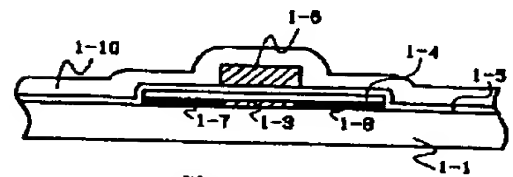
第1図 (e)



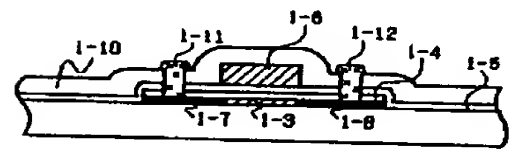
第1図 (f)



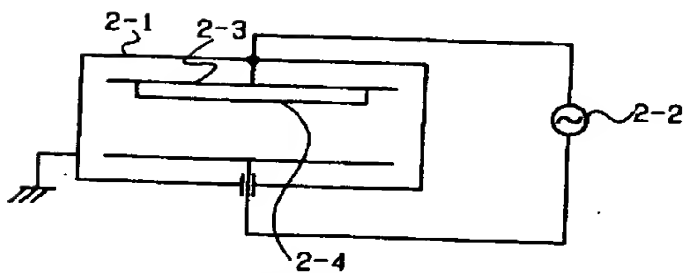
第1図 (g)



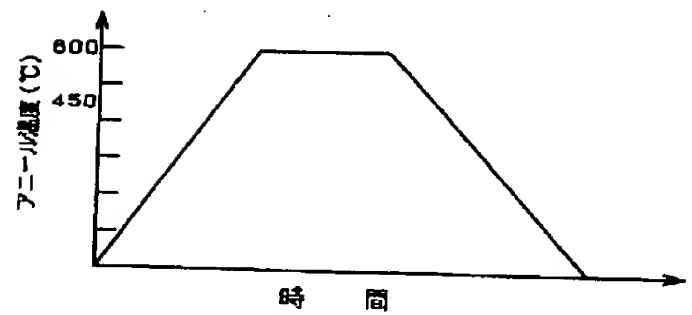
第1図 (h)



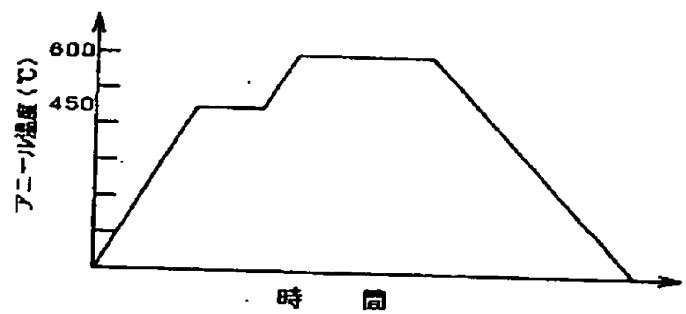
第1図 (i)



第2図



第3図 (a)



第3図 (b)